

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-214541

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H02M 3/155

(21)Application number : 07-237985

(71)Applicant : SHARP CORP

(22)Date of filing : 18.09.1995

(72)Inventor : SUZUKI TOMOHIRO  
YAMURA KENJI

(30)Priority

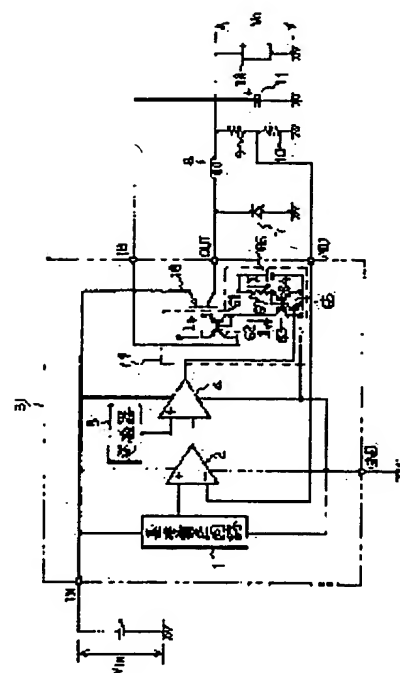
Priority number : 06293009 Priority date : 28.11.1994 Priority country : JP

## (54) CHOPPER TYPE REGULATOR CIRCUIT AND CHOPPER TYPE REGULATOR IC

(57)Abstract:

**PURPOSE:** To regulate the loss of a driver by providing a base current output terminal for outputting a base current flowing at an output transistor and connecting a base current output terminal to a load.

**CONSTITUTION:** When the output of a PWM comparator 4 becomes 'L', an N-P-N type transistor(NP) 65 is turned OFF, and a current flows at the NP 64. NPs 63 and 64 are a current mirror configuration. The current flowing at the NP 63 is the emitter area ratio of the NP 63 to NP 64, and the same current also flows at a P-N-P type transistor(PN) 61. PNs 61 and 62 are current mirror configuration. The current flowing at the PN 62 is the emitter area ratio of the PN 61 to PN 62. In this case, the area of the PN 62 to the emitter area of the PN 61 is sufficiently increased thereby to reduce the loss of a constant-current circuit 19. That is, when an output transistor(Tr) 18 is turned ON, the base current of the Tr 18 flows to the base current output terminal IB via the PN 62 and flows to a load 12.



## LEGAL STATUS

[Date of request for examination] 12.03.1998

[Date of sending the examiner's decision of rejection] 09.05.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3131364

[Date of registration] 17.11.2000

[Number of appeal against examiner's decision of rejection] 2000-08417

[Date of requesting appeal against examiner's decision of rejection] 08.06.2000

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

**Japanese Publication for Unexamined Patent Application****N . 214541-1996 (Tokukaih i 8-214541)****A. Relevance of the above-identified Document**

This document has relevance to claims 1 and 14 of the present application.

**B. Translation of the Relevant Passages of the Document****[WHAT IS CLAIMED IS]****[CLAIM 1]**

A chopper-type regulator, including: an output transistor constituted of a PNP transistor; and a control section for controlling switching of the output transistor, wherein the switching of the output transistor is controlled in accordance with a voltage difference between a reference voltage and an output voltage,

said chopper-type regulator comprising a base current output terminal, connected to a base of the output transistor, which outputs a base current flowing to the output transistor.

**[PROBLEMS TO BE SOLVED]****[0037]**

The present invention was devised in view of the foregoing problems, and its object is to provide a chopper-type regulator circuit and a chopper-type regulator IC, using a PNP transistor as an output transistor, which are arranged so that: there is provided a base current

output terminal, connected to a base of the output transistor, which outputs a base current flowing to the output transistor, so as to supply a base current of the output transistor, which is conventionally allowed to flow to a GND by connecting the base current output terminal to the load, directly to the load, thereby improving the efficiency.

[MEANS TO SOLVE THE PROBLEMS]

[0038]

The chopper-type regulator circuit as set forth in claim 1 includes: an output transistor constituted of a PNP transistor; and a control section for controlling switching of the output transistor, wherein the switching of the output transistor is controlled in accordance with a voltage difference between a reference voltage and an output voltage so as to stabilize the output voltage, and the chopper-type regulator is characterized by including a base current output terminal, connected to a base of the output transistor, which outputs a base current flowing to the output transistor.

[EMBODIMENT]

[0045]

Fig. 1 is a block diagram showing an electric arrangement of an example of a chopper-type regulator circuit which controls a voltage mode pulse width. In Fig. 1, 31 shows a chopper-type regulator circuit. Note that, in Fig. 1, the same reference signs of Fig. 12 are given to blocks arranged in the same manner as blocks shown in Fig. 12.

[0046]

The regulator circuit 31 includes a reference voltage circuit 1, an

error amplifier 2, an oscillator 3, a PWM comparator 4, an output transistor 18 constituted of a PNP transistor, and a constant current circuit 19, and the regulator circuit 31 stabilizes an output voltage by controlling a pulse width of a voltage mode. Note that, a catch diode 7, a coil 8, a voltage dividing circuit constituted of two resistors 9 and 10, and an output capacitor 11 are externally provided on the regulator circuit 31 as essential components, and it is impossible to obtain the output voltage without these components (12 represents a load).

[0047]

The reference voltage circuit 1 is a block which generates a reference voltage, having (i) an extremely minute coefficient with respect to an input voltage  $V_{IN}$  applied to an input terminal IN and (ii) an extremely minute temperature coefficient, which is a stabilized and predetermined voltage. Further, thus generated reference voltage is transmitted to a non-inversion input of an error amplifier 2.

[0048]

Further, the error amplifier 2 is a block which amplifies a difference between a voltage (divided voltage) led to a terminal ADJ connected to an inversion input and the reference voltage so as to output the difference as an error signal. Further, the error signal is transmitted to a non-inversion input of the PWM comparator 4.

[0049]

The oscillator 3 is constituted of an integration circuit or the like of a constant current, and functions as a block which generates a wave. Further, thus generated wave is transmitted to an inversion input of the

PWM comparator 4.

[0050]

The PWM comparator 4 is a block which compares the wave generated by the oscillator 3 with the error signal.

[0051]

When the output transistor is ON, a collector-emitter voltage is reduced, so that collector loss is reduced. Thus, the PNP type transistor is used. Further, a current led to the input terminal IN is switched, and thus switched current is transmitted to an output terminal OUT.

[0052]

The constant current circuit 19 is a block which draws the base current of the output transistor, when the output transistor is ON, so as to control the base current to have a constant value regardless of whether an input voltage is high or low. Further, the base current is led to a base current output terminal IB.

[0053]

The catch diode 7 whose cathode is connected to the output terminal OUT and anode is grounded forms a close path between the coil 8 and the load 12 when the output transistor 18 is OFF. Further, a current brought about by energy stored in the coil 8 flows to the diode.

[0054]

The coil 8 is a block which stores and releases energy when the output transistor 19 switches, and converts the switched voltage into a direct current by forming a counterpart with respect to the catch diode 7 and an output capacitor 11.

[0055]

A voltage dividing circuit constituted of two resistors 9 and 10 is a block which sets a voltage applied to the load 12, and generates a divided voltage that should be transmitted to the terminal ADJ.

[0056]

The base current output terminal IB is connected directly to the load 12, and supplies the base current drawn by the constant current circuit 20 to the load 12.

[0058]

The following description explains how the regulator circuit 31 operates.

[0059]

First, when the input voltage  $V_{IN}$  is applied to the input terminal IN, the regulator circuit 31 is activated, and an output voltage  $V_0$  is divided by a voltage dividing circuit constituted of the resistors 9 and 10 that are connected to the output terminal OUT, and thus divided voltage is fed-back to the terminal ADJ. The terminal ADJ is connected to the inversion input of the error amplifier 2, and the error amplifier 2 outputs an error signal (difference voltage) obtained by amplifying a voltage difference between the divided voltage and the reference voltage outputted by the reference voltage circuit 1.

[0060]

While, the PWM comparator compares a voltage outputted by the oscillator 3 with the difference voltage outputted by the error amplifier 2, and outputs an H level signal or an L level signal in

accordance with whether the voltage from the oscillator 3 is higher or lower than the difference voltage. In accordance with the signal, the constant current circuit 19 draws the base current of the output transistor 18 so as to drive (control switching of) the output transistor 18. That is, when the level of the signal is high, the output transistor 18 is turned OFF, and the level of the signal is low, the output transistor 18 is turned ON.

[0061]

Here, when the output transistor 18 is ON (the level of the output of the PWM comparator 4 is low), a current flows to the terminal IN, the output transistor 18, and the coil 8 sequentially so as to be supplied to the load 12, and the base current of the output transistor 18 is caused to flow via the constant current circuit 19 to the base current output terminal IB so as to be supplied to the load 12. Further, when the output transistor 8 is OFF (the level of the output of the PWM comparator 4 is high), a current brought about by energy stored in the coil 8 is supplied to the load 12 via the catch diode 7.

[0062]

The following description details a circuit arrangement and operation of the constant current circuit 19 with reference to Fig. 2. Fig. 2 illustrates the circuit arrangement of the constant current circuit 19.

[0063]

The constant current circuit 19 includes PNP type transistors 61 and 62, NPN type transistors 63, 64, and 65, a resistor 67, and a voltage source 66. The voltage source 66 is a voltage source formed in the

regulator (for example, band gap reference).

[0064]

The resistor 67 and the voltage source 66 are required in generating a reference current for causing the base current of the output transistor 18 to be a constant current, and the reference current is as follows.

[0065]

$$\text{Reference current (I)} = (V - V_{BE})/R$$

V: voltage of the voltage source 66

$V_{BE}$ : base-emitter voltage of the transistor 64

R: resistor 67

Thus, currents of the NPN type transistors 63 and 64 are mirrored, so that  $I_1$  is as follows.

$$I_1 = (\text{emitter area of Tr63/emitter area of Tr64}) \times I$$

Further, currents of the PNP type transistors 61 and 62 are mirrored, so that the base current  $I_B$  of the output transistor 18 is as follows.

$$I_B = (\text{emitter area of Tr62/emitter area of Tr61}) \times I_1$$

Thus, the base current  $I_B$  becomes a constant current.

[0066]

The operation is as follows. In accordance with a signal outputted by the PWM comparator 4, the NPN type transistor 65 is turned ON/OFF, and the PNP type transistor 18 is turned ON/OFF. Ordinarily, when the NPN type transistor 65 is ON, the output transistor becomes OFF, and when the NPN type transistor 65 is OFF, the output transistor 18 becomes ON. When the output transistor 18 is



ON, the base current of the output transistor 18 flows via the PNP transistor 62 to the base current output terminal IB, and then flows to the load 12.

[0067]

That is, when the level of the output of the PWM comparator 4 becomes low, the NPN type transistor 65 becomes OFF, so that a current flows to the NPN type transistor 64.

[0068]

The NPN type transistor 63 and 64 are arranged as a current mirror circuit, and a current corresponding to a ratio of (i) an emitter area of the NPN type transistor 63 and (ii) an emitter area of the NPN type transistor 64 flows to the NPN type transistor 63, and the same current flows to the PNP type transistor 61.

[0069]

Further, the PNP type transistors 61 and 62 are arranged as a current mirror circuit, a current corresponding to a ratio of (i) an emitter area of the PNP type transistor 61 and (ii) an emitter area of the PNP type transistor 62 flows to the PNP type transistor 62. Here, an area of the PNP type transistor 62 is made sufficiently large with respect to the emitter area of the PNP type transistor 61, so that it is possible to reduce the loss of the constant current circuit 19. An example of the emitter area ratio is such that transistor 61 : transistor 62 = 1 : 50.

[0070]

The constant current circuit 19 drives the base current of the

output transistor 18 by a constant current regardless of whether the input voltage is high or low. Further, it is possible to prevent the base current from being excessively lost.

[0071]

In this manner, the regulator circuit 31 of the present example is arranged so that: when the output transistor is ON, the base current of the output transistor 18 flows to the base current output terminal IB, and is supplied to the load 12. Thus, for example, when input voltage ( $V_{IN}$ ) = 24V and output voltage ( $V_0$ ) = 12V and the base current of the output transistor 18 is 50mA, the loss of the regulator circuit 31 is as follows.

[0072]

Loss ( $M_1$ ) = loss of output transistor + loss of control section + loss of base current

$$\begin{aligned} &= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + (V_{IN} - V_0) \times I_B \times D \\ &= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + (24 - 12) \times 0.05 \times 0.52 \\ &= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + 0.312 \end{aligned}$$

Here,

$$D = (V_0 + V_f) / (V_{IN} - V_{CE(sat)} + V_f)$$

$V_0$ : output voltage

$V_f$ : catch diode 7's forward-direction voltage  $\approx 0.5V$

$V_{IN}$ : input voltage

$V_{CE(sat)}$ : output transistor 18's collector-emitter voltage drop  $\approx 0.5V$

$I_C$ : output transistor 18's collector current

$I_Q$ : current consumption

$I_B$ : output transistor 18's base current  $\approx 50\text{mA}$

Further, loss of a conventional regulator circuit 20 shown in Fig. 12 is as follows.

[0073]

Loss ( $M_2$ ) = loss of output transistor + loss of control section + loss of base current

$$\begin{aligned} &= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + V_{IN} \times I_B \times D \\ &= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + 24 \times 0.05 \times 0.52 \\ &= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + 0.624 \end{aligned}$$

Thus, in the regulator circuit 31 of the present example, the loss of the output transistor 18 and the loss of the control section are the same as those of the conventional regulator circuit 20 shown in Fig. 12, but the loss of the base current of the output transistor 18 is smaller than the conventional regulator circuit 20 by  $0.624 \text{ (W)} - 0.312 \text{ (W)} = 0.312 \text{ (W)}$ . Further, it is possible to reduce the voltage drop between the collector and the emitter by using the PNP type transistor as the output transistor 18. Thus, it is possible to reduce the loss of the output transistor 18, thereby improving the efficiency as shown by a continuous line A of Fig. 7.

[EFFECTS OF THE INVENTION]

[0102]

As described above, according to the chopper-type regulator recited in claim 1 of the present invention, there is provided the base current output terminal, connected to the base of the output transistor, which outputs the base current flowing to the output transistor, so that

it is possible to externally draw the base current, conventionally caused to flow to the GND, which flows to the output transistor, and it is possible to supply the base current of the output transistor directly to the load by connecting the base current output terminal to the load connected to the chopper-type regulator circuit. As a result, it is possible to reduce the loss of the driving section, and it is possible to improve the efficiency.

(11)特許出願公開番号

特開平8-214541

(43)公開日 平成8年(1996)8月20日

### 技術表示箇所

**S**

H

審査請求 未請求 請求項の数 3 O.L (全 18 頁)

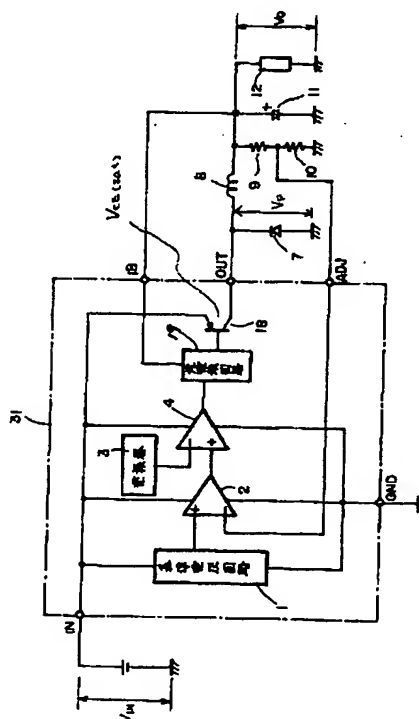
(74)代理人 弁理士 梅田 勝

(54) 【発明の名称】 チョップパ型レギュレータ回路およびチョップパ型レギュレータＩＣ

(57) 【要約】

【課題】 PNPトランジスタからなる出力トランジスタを備えた従来のチョップ型レギュレータ回路は、前記出力トランジスタの出力をGNDへと流しており、駆動部の損失となっていた。

【課題解決手段】 PNPトランジスタからなる出力トランジスタ１８と、該出力トランジスタ１８のスイッチングを制御する制御部とを備え、基準電圧と出力電圧との電圧差に基づいて前記出力トランジスタ１８のスイッチングを制御することにより、出力電圧を安定化するチョッパ型レギュレータ回路において、前記出力トランジスタ１８のベースと接続され、該出力トランジスタ１８に流れるベース電流を出力するベース電流出力端子ＩＢと、前記出力トランジスタ１８のベースと前記ベース電流出力端子ＩＢとの間に接続される定電流回路１９とを設けてなることを特徴とする。



(2)

## 【特許請求の範囲】

【請求項1】 PNPトランジスタからなる出力トランジスタと、該出力トランジスタのスイッチングを制御する制御部とを備え、基準電圧と出力電圧との電圧差に基づいて前記出力トランジスタのスイッチングを制御することにより、出力電圧を安定化するチョップパ型レギュレータ回路において、  
前記出力トランジスタのベースと接続され、該出力トランジスタに流れるベース電流を出力するベース電流出力端子を設けてなることを特徴とするチョップパ型レギュレータ回路。

【請求項2】 前記出力トランジスタのベースと前記ベース電流出力端子との間に定電流回路を設けてなることを特徴とする請求項1記載のチョップパ型レギュレータ回路。

【請求項3】 前記出力トランジスタと前記制御部とを集積して1チップ化してなる半導体チップ又は前記出力トランジスタと前記制御部をそれぞれ1チップ化してなる半導体チップと、該半導体チップが搭載され前記ベース電流出力端子を備えてなる金属フレームと、前記半導体チップを封止する外装用樹脂とを有してなることを特徴とするチョップパ型レギュレータIC。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、基準電圧と出力電圧との電圧差に基づいて、PNPトランジスタである出力トランジスタのスイッチングを制御することにより、出力電圧を安定化するチョップパ型レギュレータ回路およびチョップパ型レギュレータICに関する。

## 【0002】

【従来の技術】電子機器等に必要となる安定化された直流電圧を得るには、一般にレギュレータ回路が用いられている。このレギュレータ回路の一種として、入力電圧より低い出力電圧を得る降圧型レギュレータ回路があり、この降圧型レギュレータ回路には2種のタイプがある。

【0003】第1のタイプは、ドロップ方式と呼ばれるレギュレータ回路であって、発生するノイズが小さく、設計が容易であるという利点があり、入力電圧と出力電圧との差（電圧差）が比較的小さいところに用いられる。

【0004】第2のタイプは、チョップパ方式と呼ばれるレギュレータ回路であって、入力電圧と出力電圧との差が大きい場合に効率が良いという利点がある。

【0005】以下、該チョップパ方式のレギュレータ回路について、具体的に説明する。

【0006】図8は電圧モードのパルス幅制御を行うチョップパ型レギュレータ回路の電気的構成を示すブロック図である。図中、13はチョップパ型レギュレータ回路である。

【0007】該レギュレータ回路13は、基準電圧回路1、誤差増幅器2、発振器3、PWM(Pulse Width Modulation)コンパレータ4、PNPトランジスタであるドライブトランジスタ5、およびNPNトランジスタである出力トランジスタ6により構成されてなり、電圧モードのパルス幅制御を行って出力電圧を安定化するものである。

【0008】なお、該レギュレータ回路13は、キャッチダイオード7、コイル8、2つの抵抗9、10からなる分圧回路、および出力コンデンサ11が不可欠の要素として外付けされ、これらがなければ出力電圧が得られないものである（図中、12は負荷を示している）。

【0009】以下に、このレギュレータ回路13の動作を説明する。図9は主要信号の波形を示す図である。図中、(a)は入力電圧 $V_{IN}$ の電圧波形である。

【0010】まず、入力端子INに入力電圧 $V_{IN}$ が印加されるとレギュレータ回路13の動作が起動され、出力電圧 $V_0$ に接続されている抵抗9、10の分圧回路によって該出力電圧 $V_0$ が分圧され、該分圧された分圧電圧が端子ADJにフィードバックされる。該端子ADJは誤差増幅器2の反転入力に接続されており、誤差増幅器2は前記分圧電圧と基準電圧回路1から出力された基準電圧との電圧差を増幅してなる誤差信号（差電圧）が出力される。この誤差信号を、図9(b)に示す電圧波形W1、W2のうち、電圧波形W1として示す。

【0011】一方、PWMコンパレータ4においては、発振器3から出力された電圧波形W2と、誤差信号からなる電圧波形W1とが比較される。ここで、発振器3から出力された電圧波形W2が誤差増幅器2から出力された電圧波形W1より高くなるとPWMコンパレータ4の出力がHレベルとなり、逆に電圧波形W2が電圧波形W1より低くなるとPWMコンパレータ4の出力がLレベルとなる。このためPWMコンパレータ4からは、図9(c)により示す波形信号が出力される。この信号は、ドライブトランジスタ5を介して出力トランジスタ6のスイッチングを制御する。即ち、Hレベル時に出力トランジスタ6をオフさせ、Lレベル時に出力トランジスタ6をオンさせる。

【0012】これにより、抵抗9、10の分圧回路、基準電圧回路1の基準電圧により決まる出力電圧 $V_0$ に制御される。

【0013】以下、詳細に説明すると、上記スイッチングにおいて、出力トランジスタ6がオン状態であるとき、入力端子IN、出力トランジスタ6、およびコイル8を介して、電流が負荷12に供給される。また、出力トランジスタ6がオフ状態であるとき、出力トランジスタ6がオン状態である期間にコイル8に蓄えられたエネルギーによって生じる電流がキャッチダイオード7を介して負荷12に供給される。

【0014】上記動作において、出力トランジスタ6に

(3)

3

流れる電流波形を図9 (d) に、キャッチダイオード7に流れる電流波形を図9 (e) に、コイル8に流れる電流波形を図9 (f) に示す。ここで、負荷12に流れる出力電流は、コイル8に流れる電流の平均値 $W3 < \text{図9 (f) 参照} >$ の電流が供給されることとなる。

【0015】ここで、出力トランジスタ6のオン状態となる期間を $t1$ 、オフ状態となる期間を $t2$ とし、出力トランジスタ6のオン時間/周期(デューティ)を $D$ として、 $D = t1 / (t1 + t2)$ により示すとする、値 $D$ は、下式

$$D = (V_0 + V_F) / (V_{IN} - V_{CE(sat)} + V_F)$$

但し、 $V_0$  ; 出力電圧

$V_F$  ; キャッチダイオード7の順方向電圧

$V_{IN}$  ; 入力電圧

$V_{CE(sat)}$  ; 出力トランジスタ6のコレクターエミッタ間電圧

として示される。つまり出力電圧、キャッチダイオード7の順方向電圧、入力電圧、出力トランジスタ6のコレクターエミッタ間電圧により、期間 $t1$ 、 $t2$ が決定される。

【0016】図10は電流モードのパルス幅制御を行うチョップパ型レギュレータ回路の電氣的構成を示すブロック図である。図中、16はチョップパ型レギュレータ回路である。なお、図10におけるブロックのうち、図8に示したブロックと構成が同一であるブロックには、図8において付与した符号と同一符号を付与している。

【0017】該レギュレータ回路16は、基準電圧回路1、誤差増幅器2、発振器3、PWMコンパレータ4、フリップフロップ14、電流検出増幅器15、電流検出用抵抗17、ドライブトランジスタ5、および出力トランジスタ6にて構成されてなり、電流モードのパルス幅制御を行って出力電圧を安定化するものである。また、図8に示す構成と同一の外付け部品が接続される。

【0018】以下に、このレギュレータ回路16の動作を説明する。図11は主要信号の波形を示す図である。図中(a)は入力電圧 $V_{IN}$ の電圧波形である。

【0019】まず、入力端子 $IN$ に入力電圧 $V_{IN}$ が印加されるとレギュレータ回路16の動作が起動され、出力電圧 $V_0$ に接続されている抵抗9、10の分圧回路によって該出力電圧 $V_0$ が分圧され、該分圧された分圧電圧が端子 $ADJ$ を介して誤差増幅器2へフィードバックされる。そして、前記分圧電圧と基準電圧回路1から出力された基準電圧との電圧差が増幅されて誤差増幅器2から誤差信号(差電圧)として出力される。この誤差信号を、図11 (b) 示す電圧波形 $W4$ 、 $W5$ のうち、電圧波形 $W4$ として示す。

【0020】そして、出力トランジスタ6に流れる電流を電流検出用抵抗17により検出し、電流検出増幅器15により前記電流を電圧変換して増幅された電圧が出力

4

され、該電流検出増幅器15の出力を示す電圧波形 $W5$ と誤差信号を示す電圧波形 $W4$ とがPWMコンパレータ4によって比較される。ここで、誤差増幅器2の出力電圧より電流検出増幅器15の出力電圧が高くなると、PWMコンパレータ4の出力が $H$ レベル<図11 (c) 参照>となり、フリップフロップ14をリセットする。このリセットによってドライブトランジスタ5と出力トランジスタ6とはオフとなる。そしてオフ状態は、発振器3から、フリップフロップ14をセットするためのパルス<図11 (d) 参照>が送出されるまで続き、送出されたときオン状態に反転する。図11 (e) は、フリップフロップ14の出力波形を示す。

【0021】上記したように、電流モードのパルス幅制御のチョップパ型レギュレータ回路16は、電流検出用抵抗17に流れる電流を監視することによって、抵抗9、10の分圧回路、基準電圧により決まる出力電圧 $V_0$ に制御される。

【0022】以下、詳細に説明すると、上記スイッチングにおいて、出力トランジスタ6がオン状態であるとき、入力端子 $IN$ 、出力トランジスタ6、およびコイル8を介して、電流が負荷12に供給される。また、出力トランジスタ6がオフ状態であるとき、出力トランジスタ6がオン状態である期間にコイル8に蓄えられたエネルギーによって生じる電流がキャッチダイオード7を介して負荷12に供給される。

【0023】なお、図11 (f) , (g) , (h) は、上記した電流モードによる制御時の主要電流波形を示しており、(f) は出力トランジスタ6に流れる電流波形、(g) はキャッチダイオード7に流れる電流波形、(h) はコイル8に流れる電流波形を示している。そして負荷12に流れる出力電流は、コイル8に流れる電流の平均値 $W6 < \text{図11 (h) 参照} >$ の電流が供給される。

【0024】これら2種のレギュレータ回路の特徴を述べると、電圧モードパルス幅制御のレギュレータ回路13の方が構成が簡単であるが、出力電圧 $V_0$ が変動した後になってパルス幅が変化する構成であるため、入力電圧 $V_{IN}$ の変動への追従に遅れが生じるという欠点がある。

【0025】一方、電流モードパルス幅制御のレギュレータ回路16は、出力電圧 $V_0$ に変動が生じる以前において、入力電圧 $V_{IN}$ の変動に対応するパルス幅の変化が生じるので、入力電圧 $V_{IN}$ の変動に対する追従は良いが、回路構成が複雑になっている。

【0026】上記した2種のレギュレータ回路の他に、電圧モードパルス幅制御のチョップパ型レギュレータ回路における出力トランジスタを、NPNトランジスタからPNPトランジスタに変更したチョップパ型レギュレータ回路がある。

【0027】図12は該チョップパ型レギュレータ回路の

50

(4)

5

電氣的構成を示すブロック図である。図中、20はチョップ型レギュレータ回路を示す。なお、図12におけるブロックのうち、図8に示したブロックと構成が同一であるブロックについては、図8において付与した符号と同一符号を付与している。

【0028】該レギュレータ回路20は、基準電圧回路1、誤差増幅器2、発振器3、PWMコンパレータ4、出力PNP形トランジスタ18、定電流回路19'により構成されている。また、図8に示す構成と同一の外付け部品が接続される。

【0029】以下に、このレギュレータ回路の動作を説明する。

【0030】まず、入力端子INに入力電圧 $V_{IN}$ が印加されるとレギュレータ回路20の動作が起動され、出力電圧 $V_0$ に接続されている抵抗9、10の分圧回路によって該出力電圧 $V_0$ が分圧され、該分圧された分圧電圧が端子ADJにフィードバックされる。端子ADJは、誤差増幅器2の反転入力に接続されており、誤差増幅器2は、前記分圧電圧と基準電圧回路1から出力された基準電圧との電圧差を増幅してなる誤差信号が出力される。

【0031】一方、PWMコンパレータ4においては、発振器3から出力された電圧と誤差増幅器2から出力された分圧電圧とを比較し、Hレベル又はLレベルの信号が出力される。この信号に基づき定電流回路19'により出力トランジスタ18のベース電流を引き込み出力トランジスタ18を駆動する。

【0032】該出力トランジスタ18がオンしている時は、端子IN、出力トランジスタ18、コイル8へと順次電流が流れ負荷12に電流が供給される。そして、出力トランジスタ18がオフ時には、オン時にコイル8に蓄えられたエネルギーによって生じる電流がキャッチダイオード7を介して負荷に供給される。

【0033】

【発明が解決しようとする課題】上記した3つのチョップ型レギュレータ回路のうち、出力トランジスタにNPNTランジスタを用いた構成では、エミッタフォロアとなっているため、オン状態におけるコレクターエミッタ間の電圧降下が、PNPトランジスタのコレクターエミッタ間の電圧降下より大きくなる。そのため出力トランジスタ6による損失が大きく、レギュレータ回路としての効率が低下するという問題を生じていた。

【0034】一方、図12に示したように、出力トランジスタ18にPNPトランジスタを用いた構成では、オン状態におけるコレクターエミッタ間の電圧降下が小さいことから、出力トランジスタ18の損失が少なく、レギュレータ回路としての効率が高くなるという特性を有する。

【0035】しかしながら、出力トランジスタ18がNPNTランジスタであることに伴う欠点がある。この欠

6

点について以下に説明する。

【0036】出力トランジスタ18がオン状態となるとき、定電流回路19'が出力トランジスタ18のベース電流を引き込む。このベース電流は、定電流回路19'を経てGNDへと流れる。該ベース電流は、通常、出力電流の大小に関わりなく一定となっており、数10mA程度流れる。また、該チョップ型レギュレータ回路は、一般に、入力電圧 $V_{IN}$ と出力電圧 $V_0$ との電圧差が大きいところに用いられるため、高い入力電圧 $V_{IN}$ が入力端子INに印加される。このため、NPNTランジスタを出力トランジスタに用いたチョップ型レギュレータ回路と比べてときには、

出力トランジスタ18のベース電流 $\times$ 入力電圧 $V_{IN} \times$ デューティ

として示される駆動損失が大きい。また、この駆動損失は、負荷12が軽い重いにかかわらずベース電流はオン時に一定であるため、出力電流と効率との関係を着目すると、図7の破線Bでもって示すように、特に軽負荷時（低出力電流域）の効率の低下を招くという問題を生じていた。

【0037】本発明は、上記課題に鑑み、出力トランジスタにPNPトランジスタを用いた構成において、前記出力トランジスタのベースと接続され、該出力トランジスタに流れるベース電流を出力するベース電流出力端子を設けることにより、該ベース電流出力端子と負荷とを接続することによって従来GNDへと流していた前記出力トランジスタのベース電流を直接負荷に供給することができ、効率の向上が図れるチョップ型レギュレータ回路およびチョップ型レギュレータICを提供することを目的とするものである。

【0038】

【課題を解決するための手段】本発明の請求項1記載のチョップ型レギュレータ回路は、PNPトランジスタからなる出力トランジスタと、該出力トランジスタのスイッチングを制御する制御部とを備え、基準電圧と出力電圧との電圧差に基づいて前記出力トランジスタのスイッチングを制御することにより、出力電圧を安定化するチョップ型レギュレータ回路において、前記出力トランジスタのベースと接続され、該出力トランジスタに流れるベース電流を出力するベース電流出力端子を設けてなることを特徴とするものである。

【0039】また、本発明の請求項2記載のチョップ型レギュレータ回路は、前記出力トランジスタのベースと前記ベース電流出力端子との間に定電流回路を設けてなることを特徴とするものである。

【0040】さらに、本発明の請求項3記載のチョップ型レギュレータICは、前記出力トランジスタと前記制御部とを集積して1チップ化してなる半導体チップ又は前記出力トランジスタと前記制御部をそれぞれ1チップ化してなる半導体チップと、該半導体チップが搭載され



(5)

7

前記ベース電流出力端子を備えてなる金属フレームと、前記半導体チップを封止する外装用樹脂とを有してなることを特徴とするものである。

【0041】上記構成によれば、本発明の請求項1記載のチョッパ型レギュレータ回路は、出力トランジスタのベースと接続され、該出力トランジスタに流れるベース電流を出力するベース電流出力端子を設けてなる構成なので、前記出力トランジスタに流れるベース電流を外部に取り出すことが可能となり、該ベース電流出力端子とチョッパ型レギュレータ回路に接続される負荷とを接続することによって前記出力トランジスタのベース電流を直接負荷に供給することができ、これにより駆動部の損失を小さくすることができ、効率の向上を図ることができる。

【0042】また、本発明の請求項2記載のチョッパ型レギュレータ回路は、前記出力トランジスタのベースと前記ベース電流出力端子との間に定電流回路を設けてなる構成なので、出力トランジスタがオン状態となると、該出力トランジスタのベース電流を引き込み、このベース電流を入力電圧の高低に変わりなく一定にすることが可能である。

【0043】さらに、本発明の請求項3記載のチョッパ型レギュレータICは、前記出力トランジスタと前記制御部とを集積して1チップ化してなる半導体チップ又は前記出力トランジスタと前記制御部をそれぞれ1チップ化してなる半導体チップと、該半導体チップが搭載され前記ベース電流出力端子を備えてなる金属フレームと、前記半導体チップを封止する外装用樹脂とを有してなる構成なので、上記チョッパ型レギュレータ回路を1パッケージにすることができ、小型化を図ることができる。

【0044】

【発明の実施の形態】以下に、本発明の第一実施例について図面を参照しつつ説明する。

【0045】図1は、電圧モードパルス幅制御のチョッパ型レギュレータ回路の一実施例の電氣的構成を示すブロック図である。図中、31はチョッパ型レギュレータ回路である。なお、同図においては、図12に示すブロックと構成が同一となるブロックには、図12において付与した符号と同一符号を付与している。

【0046】該レギュレータ回路31は、基準電圧回路1、誤差増幅器2、発振器3、PWMコンパレータ4、PNPトランジスタである出力トランジスタ18、定電流回路19により構成されており、電圧モードのパルス幅制御を行って出力電圧を安定化するものである。なお、レギュレータ回路31には、キャッチダイオード7、コイル8、2つの抵抗9、10からなる分圧回路、および出力コンデンサ11が不可欠の要素として外付けされ、これらがなくと出力電圧が得られない（12は負荷を示している）。

【0047】前記基準電圧回路1は、入力端子INに与

8

えられる入力電圧 $V_{IN}$ に対する係数、および温度係数が極めて微小な、安定化された所定電圧である基準電圧を生成するブロックとなっている。そして生成した基準電圧を誤差増幅器2の非反転入力に送出する。

【0048】また、前記誤差増幅器2は、反転入力に接続された端子ADJに導かれる電圧（分圧電圧）と基準電圧との電圧差を増幅し、誤差信号として出力するブロックとなっている。そして、誤差信号をPWMコンパレータ4の非反転入力に送出する。

【0049】発振器3は、定電流の積分回路等によって構成され、波を生成するブロックとなっている。そして生成した波をPWMコンパレータ4の反転入力に送出する。

【0050】PWMコンパレータ4は、発振器3によって生成された波と誤差信号との比較を行うブロックとなっている。

【0051】出力トランジスタ18はオン時のコレクタ-エミッタ間の電圧を小さくし、コレクタ損失を低減するため、PNP形トランジスタとなっている。そして、入力端子INに導かれる電流をスイッチングすると共に、スイッチングした電流を出力端子OUTに送出する。

【0052】定電流回路19は、出力トランジスタ18がオン状態となると、該出力トランジスタ18のベース電流を引き込み、このベース電流を入力電圧の高低に変わりなく一定値となるように制御するブロックとなっている。さらに、このベース電流をベース電流出力端子IBに導く構成となっている。

【0053】出力端子OUTにカソードが接続され、アノードが接地されたキャッチダイオード7は、出力トランジスタ18がオフ状態であるとき、コイル8と負荷12との間に閉回路を形成するためのダイオードである。そして、このダイオードには、コイル8に蓄えられたエネルギーによって生じる電流が流れる。

【0054】コイル8は、出力トランジスタ18のスイッチング時に、エネルギーの蓄積と放出とを行うブロックであり、キャッチダイオード7および出力コンデンサ11と対となることによって、スイッチングされた電圧を直流に変換する。

【0055】2つの抵抗9、10からなる分圧回路は、負荷12に与える電圧を設定するためのブロックであり、端子ADJに送出すべき分圧電圧を生成する。

【0056】前記ベース電流出力端子IBは、負荷12に直接接続されており、前記定電流回路20にて引き込まれたベース電流を負荷12に供給する。

【0057】なお、同図において、31により示されたブロックは、チョッパ型レギュレータICのパッケージ内に封止されるブロックとなっており、封止のための構造については、後に詳述する。

【0058】以下に、このレギュレータ回路31の動作

50

(6)

9

を説明する。

【0059】まず、入力端子INに入力電圧 $V_{IN}$ が印加されるとレギュレータ回路31の動作が起動され、出力端子OUTに接続されている抵抗9、10の分圧回路によって出力電圧 $V_0$ が分圧され、該分圧された分圧電圧が端子ADJにフィードバックされる。端子ADJは誤差増幅器2の反転入力に接続されており、誤差増幅器2は前記分圧電圧と基準電圧回路1から出力された基準電圧との電圧差を増幅してなる誤差信号（差電圧）が出力される。

【0060】一方、PWMコンパレータ4においては、発振器3から出力された電圧と誤差増幅器2から出力された差電圧とを比較し、発振器3からの電圧が前記差電圧より高い又は低いによりHレベル又はLレベルの信号が出力される。この信号に基づき定電流回路19により出力トランジスタ18のベース電流を引き込み出力トランジスタ18を駆動（スイッチング制御）する。即ち、Hレベル時に出力トランジスタ18をオフさせ、Lレベル時に出力トランジスタ18をオンさせる。

【0061】ここで、出力トランジスタ18がオンしている時（PWMコンパレータ4の出力がLレベルの時）は、端子IN、出力トランジスタ18、コイル8へと順次電流が流れ負荷12に電流が供給されるとともに、該出力トランジスタ18のベース電流が定電流回路19を介してベース電流出力端子IBへと流れ負荷12に供給される。そして、出力トランジスタ18がオフ時（PWMコンパレータ4の出力がHレベルの時）には、オン時にコイル8に蓄えられたエネルギーにより生じる電流がキャッチダイオード7を介して負荷12に供給される。

【0062】本実施例の定電流回路19の回路構成およびその動作について、以下図2にしたがって具体的に説明する。図2は定電流回路19の回路構成を説明するための図である。

【0063】該定電流回路19は、PNP形トランジスタ61、62、NPN形トランジスタ63、64、65、抵抗67及び電圧源66から構成されなり、前記電圧源66はレギュレータ内部で作られる電圧源（例えば、バンドギャップリファレンス）である。

【0064】前記抵抗67及び電圧源66は出力トランジスタ18のベース電流を定電流にするための基準電流を作るのに必要なものであり、この基準電流は以下のようになる。

【0065】基準電流（ $I$ ）＝（ $V - V_{BE}$ ）／ $R$

$V$ ：電圧源66の電圧

$V_{BE}$ ：トランジスタ64のベース－エミッタ間電圧

$R$ ：抵抗67

よって、 $I_1$ はNPN型トランジスタ63、64のカレントミラーにより、

10

\*  $I_1 = (\text{Tr 63のエミッタ面積} / \text{Tr 64のエミッタ面積}) \times I$

となり、出力トランジスタ18のベース電流 $I_B$ はPNP型トランジスタ61、62のカレントミラーにより、  
 $I_B = (\text{Tr 62のエミッタ面積} / \text{Tr 61のエミッタ面積}) \times I_1$   
 となり、定電流となる。

【0066】以下、動作を説明すると、PWMコンパレータ4より出力される信号に基づきNPN形トランジスタ65をオン／オフさせ、出力PNP形トランジスタ18をオン／オフさせる。通常、NPN形トランジスタ65がオン時には出力トランジスタ18がオフし、NPN形トランジスタ65がオフ時には出力トランジスタ18がオンする。該出力トランジスタ18がオン時には、該出力トランジスタ18のベース電流はPNP形トランジスタ62を通してベース電流出力端子IBへと流れ、負荷12へと流れる。

【0067】即ち、PWMコンパレータ4の出力がLレベルになるとNPN形トランジスタ65がオフし、NPN形トランジスタ64に電流が流れる。

【0068】NPN形トランジスタ63、64はカレントミラー構成となっており、NPN形トランジスタ63に流れる電流はNPN形トランジスタ63とNPN形トランジスタ64とのエミッタ面積の比の電流が流れ、PNP形トランジスタ61にも同じ電流が流れる。

【0069】また、PNP形トランジスタ61、62もカレントミラー構成となっており、PNP形トランジスタ62に流れる電流はPNP形トランジスタ61とPNP形トランジスタ62とのエミッタ面積の比の電流が流れる。ここで、PNP形トランジスタ61のエミッタ面積に対するPNP形トランジスタ62の面積を十分に大きくすることにより、定電流回路19の損失を少なくすることができる。前記エミッタ面積の比としては、例えばトランジスタ61：トランジスタ62＝1：50とする。

【0070】該定電流回路19により、出力トランジスタ18のベース電流を入力電圧の高低に変わりにくく定電流でドライブするものである。また、ベース電流の必要以上の損失を防止することができる。

【0071】このように、本実施例のレギュレータ回路31は、出力トランジスタのオン時に該出力トランジスタ18のベース電流がベース電流出力端子IBへと流れ負荷12に供給されるため、例えば入力電圧（ $V_{IN}$ ）＝24V、出力電圧（ $V_0$ ）＝12V、出力トランジスタ18のベース電流を50mAとした場合に、該レギュレータ回路31の損失は以下のようになる。

【0072】

\*

$$\begin{aligned} \text{損失} (M_1) &= \text{出力トランジスタの損失} + \text{制御部損失} + \text{ベース電流の損失} \\ &= V_{CE(sat)} \times I_C \times D_{50} - V_{IN} \times I_Q + (V_{IN} - V_0) \times I_B \times D \end{aligned}$$

(7)

11

$$= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + (24 - 12) \times 0.05 \times 0.52$$

$$= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + 0.312$$

ここで、

$$D = (V_0 + V_f) / (V_{IN} - V_{CE(sat)} + V_f)$$

 $V_0$  : 出力電圧 $V_f$  : キャッチダイオード7の順方向電圧  $\approx 0.5V$  $V_{IN}$  : 入力電圧 $V_{CE(sat)}$  : 出力トランジスタ18のコレクタ-エミッタ間電圧降下  $\approx 0.5V$ 

\*

損失 ( $M_2$ ) = 出力トランジスタの損失 + 制御部損失 + ベース電流の損失

$$= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + V_{IN} \times I_B \times D$$

$$= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + 24 \times 0.05 \times 0.52$$

$$= V_{CE(sat)} \times I_C \times D + V_{IN} \times I_Q + 0.624$$

上記より、本実施例のレギュレータ回路31は、図12に示す従来のレギュレータ回路20と比較して、出力トランジスタ18の損失、制御部損失は同じであるが出力トランジスタ18のベース電流による損失が0.624(W) - 0.312(W) = 0.312(W) 小くなる。また、出力トランジスタ18にPNP形トランジスタを用いていることによりコレクタ-エミッタ間の電圧降下を小さくできる。これらにより、出力トランジスタ18の損失を小さくできるため、図7に示す実線Aのように効率が向上する。

【0074】次に、本発明の第二実施例について、以下図3にしたがって説明する。

【0075】図3は電流モードのパルス幅制御を行うチョップ型レギュレータ回路の電氣的構成を示すブロック図である。図中、32はチョップ型レギュレータ回路である。なお、同図においては、図12に示すブロックと構成が同一となるブロックには、図12において付与した符号と同一符号を付与している。

【0076】該レギュレータ回路32は、基準電圧回路1、誤差増幅器2、発振器3、PWMコンパレータ4、PNPトランジスタである出力トランジスタ6、フリップフロップ14、電流検出増幅器15、電流検出用抵抗17、定電流回路19により構成されてなる。また、図1に示す構成と同一の外付け部品が接続される。

【0077】以下に、このレギュレータ32の動作を説明する。

【0078】まず、入力端子INに入力電圧 $V_{IN}$ が印加されるとレギュレータ回路32の動作が起動され、出力端子OUTに接続されている抵抗9、10の分圧回路によって出力電圧 $V_0$ が分圧され、該分圧された分圧電圧が端子ADJにフィードバックされる。端子ADJは誤差増幅器2の反転入力に接続されており、誤差増幅器2は前記分圧電圧と基準電圧回路1から出力された基準電圧との電圧差を増幅してなる誤差信号(差電圧)が出力される。

【0079】一方、PWMコンパレータ4においては、出力トランジスタ18に流れる電流を電流検出抵抗17

12

\*  $I_C$  : 出力トランジスタ18のコレクタ電流 $I_Q$  : 消費電流 $I_B$  : 出力トランジスタ18のベース電流  $\approx 50mA$ 

また、図12に示す従来のレギュレータ回路20の損失は以下ようになる。

【0073】

により検出し、電流検出増幅器15により前記電流を電圧変換して増幅された電圧と誤差増幅器2から出力された差電圧とを比較し、PWMコンパレータ4よりセット信号が出力される。そして、誤差増幅器2にて出力された差電圧より電流検出増幅器15の電圧が高くなるとPWMコンパレータ4の出力がHレベルとなり、フリップフロップ14をリセットする。該フリップフロップ14がリセットされると出力トランジスタ18がオフし、発振器3によりフリップフロップにセット信号が入るまで出力トランジスタ18はオフし続ける。出力トランジスタ18がオン時は、該出力トランジスタ18のベース電流は定電流回路19を介してベース電流出力端子IBへと流れ、負荷12へ供給される。

【0080】この信号に基づき定電流回路19により出力トランジスタ18のベース電流を引き込み出力トランジスタ18を駆動する。この時、該出力トランジスタ18のベース電流は定電流回路19を介してベース電流出力端子IBへと流れ負荷12に供給される。

【0081】出力トランジスタ18がオンしている時は、端子IN、出力トランジスタ18、コイル8へと順次電流が流れ負荷12に電流が供給されるとともに、出力トランジスタ18のベース電流が定電流回路19を介してベース電流出力端子IBへと流れ負荷12に供給される。そして、出力トランジスタ18がオフ時には、オン時にコイル8に蓄えられたエネルギーにより生じる電流がキャッチダイオード7を介して負荷12に供給される。

【0082】本実施例の定電流回路19は、上記第一実施例と同一の回路構成からなり、図4にその接続状態を示す。該定電流回路19の動作について、上記第一実施例と相違する点のみ説明する。

【0083】該定電流回路19は、フリップフロップ14の出力信号に基づきNPN形トランジスタ65をオン/オフさせ、出力トランジスタ18をオン/オフさせる。

【0084】即ち、フリップフロップ14の出力がLレベルになるとNPN形トランジスタ65がオフし、出力

(8)

13

トランジスタ18がオンする。また、フリップフロップ14の出力がHレベルになるとNPNトランジスタがオンし、出力トランジスタ18がオフする。

【0085】このように、電流モードパルス幅制御のチョップパ型レギュレータ回路においても、上述した電圧モードパルス幅制御のチョップパ型レギュレータ回路同様、出力トランジスタ18のベース電流がベース電流出力端子IBへと流れ負荷12へ供給されるため、出力電圧( $V_0$ )×出力トランジスタ18のベース電流( $I_B$ )×デューティ(D)分だけ損失を小さくできると共に、出力トランジスタ18にPNP形を用いコレクターエミッタ間の電圧降下を小さくすることにより、出力トランジスタ18の損失が小さくでき、効率が向上する。

【0086】上記第一実施例及び第二実施例のような回路構成を有するチョップパ型レギュレータ回路は、例えば以下に示すような内部構成によってチョップパ型レギュレータICとして集積化される。

【0087】該チョップパ型レギュレータIC39は、図5(a)、(b)に示すように、トランジスタ部41と制御部42とを1チップ化してなる半導体チップ40を有しており、前記トランジスタ部41は上記した出力トランジスタ18が構成され、前記制御部42は上記した出力トランジスタ18を除く上記の部品及び回路が集積されたものである。

【0088】上記半導体チップ40は、ハンダからなる接合部43で金属フレーム44上にダイボンディングにより固着されている。

【0089】金属フレーム44は、一端側の部位が長く延びてアウターリードフレーム45が形成されており、この部分がグランド端子GNDとなっている。また、同図において、アウターリードフレーム45の右側には入力端子INとなるアウターリードフレーム46、出力端子OUTとなるアウターリードフレーム47、ベース電流端子IBとなるアウターリードフレーム48、フィードバック端子ADJとなるアウターリードフレーム49が前記アウターリードフレーム45と平行に設けられている。

【0090】前記トランジスタ部41は、エミッタとなるコンタクト部41aがアウターリードフレーム46に接続され、コレクタとなるコンタクト部41bがアウターリードフレーム47に接続されている。

【0091】前記制御部42は、ベース用のコンタクト部42aがアウターリードフレーム48に接続され、接地用コンタクト部42cが金属フレーム44に接続され、フィードバック用コンタクト部42bがアウターリードフレーム49に接続されている。

【0092】上記の各接続は、金属ワイヤ50でワイヤボンディングされており、各チップ41、42、金属フレーム44はアウターリードフレーム45～49の一端

14

部と共にパッケージ51により被覆されている。このパッケージ51は、エポキシ樹脂等の外装用樹脂からなっており、トランスファーマールド等の工程により形成されている。

【0093】該チョップパ型レギュレータIC39によれば、上記チョップパ型レギュレータ回路を1パッケージにすることができ、小型化が図れる。また、出力トランジスタからなるトランジスタ部41と制御部42とを半導体チップ40として1チップに集積化してなるので、部品点数削減およびコスト低減が可能である。

【0094】上記第一実施例及び第二実施例のような回路構成を有するチョップパ型レギュレータICの他の内部構成を以下に説明する。

【0095】該チョップパ型レギュレータIC39'は、図6(a)、(b)に示すように、トランジスタチップ52とICチップ53とを有する2チップ構成のチョップパ型レギュレータIC39'からなり、前記トランジスタチップ52は上記した出力形トランジスタ18が1チップ化されたものであり、前記ICチップ53は上記した出力トランジスタ18を除く上記の素子及び回路が集積されて1チップ化されたものである。

【0096】前記トランジスタチップ52は、ハンダからなる接合部43で金属フレーム44上にダイボンディングにより固着されており、前記ICチップ43は、絶縁ペースト54で金属フレーム44上にダイボンディングにより固着されている。

【0097】金属フレーム44は、一端側の部位が長く延びてアウターリードフレーム55が形成されており、この部分が出力端子OUTとなっている。また、同図において、アウターリードフレーム55の右側には入力端子INとなるアウターリードフレーム56、ベース電流端子IBとなるアウターリードフレーム57、グランド端子GNDとなるアウターリードフレーム58、フィードバック端子ADJとなるアウターリードフレーム59が前記アウターリードフレーム55と平行に設けられている。

【0098】前記トランジスタチップ52は、エミッタとなるコンタクト部52aがアウターリードフレーム56に接続され、ベースとなるコンタクト部52bがICチップ53の制御回路用コンタクト部53dと接続され、コレクタ電極はハンダ43により固着されてアウターリードフレーム55に接続されている。

【0099】前記ICチップ53は、入力用のコンタクト部53eがアウターリードフレーム56に接続され、接地用のコンタクト部53bがアウターリードフレーム58に接続され、ベース電流用コンタクト部53aがアウターリードフレーム57に接続され、フィードバック用コンタクト部53cがアウターリードフレーム59に接続されている。

【0100】上記の各接続は、金属ワイヤ50でワイヤ

(9)

15

ボンディングされており、各チップ52、53、金属フレーム44はアウターリードフレーム55～59の一端部と共にパッケージ51により被覆されている。このパッケージ51は、エポキシ樹脂等の外装用樹脂からなっており、トランスファーマールド等の工程により形成されている。

【0101】該チョップパ型レギュレータIC39'によれば、上記実施例同様、上記チョップパ型レギュレータ回路を1パッケージにすることができ、小型化が図れる。

【0102】

【発明の効果】以上説明したように、本発明の請求項1記載のチョップパ型レギュレータによれば、出力トランジスタのベースと接続され、該出力トランジスタに流れるベース電流を出力するベース電流出力端子を設けてなる構成なので、従来GNDへと流していた前記出力トランジスタに流れるベース電流を外部に引き出すことが可能となり、該ベース電流出力端子とチョップパ型レギュレータ回路に接続される負荷とを接続することによって前記出力トランジスタのベース電流を直接負荷に供給することができ、これにより駆動部の損失を小さくすることができ、効率の向上が図れる。

【0103】また、本発明の請求項2記載のチョップパ型レギュレータ回路によれば、前記出力トランジスタのベースと前記ベース電流出力端子との間に定電流回路を設けてなる構成なので、出力トランジスタがオン状態となると、該出力トランジスタのベース電流を引き込み、このベース電流を入力電圧の高低に変わりにくく一定にすることが可能となる。これにより、ベース電流の必要以上の損失を防止することができる。

【0104】さらに、本発明の請求項3記載のチョップパ型レギュレータICによれば、前記出力トランジスタと前記制御部とを集積して1チップ化してなる半導体チップ又は前記出力トランジスタと前記制御部をそれぞれ1チップ化してなる半導体チップと、該半導体チップが搭載され前記ベース電流出力端子を備えてなる金属フレームと、前記半導体チップを封止する外装用樹脂とを有してなる構成なので、上記チョップパ型レギュレータ回路を1パッケージにすることができ、小型化が図れる。

【図面の簡単な説明】

【図1】本発明の第一実施例よりなるチョップパ型レギュレータの一実施例の電氣的構成を示すブロック図である。

【図2】図1に示す定電流回路の具体的な回路構成を説明するための図である。

【図3】本発明の第二実施例よりなるチョップパ型レギュレータの一実施例の電氣的構成を示すブロック図である。

【図4】図3に示す定電流回路の具体的な回路構成を説

16

明するための図である。

【図5】本発明のチョップパ型レギュレータICの構造図である。

【図6】他のチョップパ型レギュレータICの構造図である。

【図7】チョップパ型レギュレータにおける出力電流と効率との関係を示す説明図である。

【図8】従来の電圧モードパルス幅制御のチョップパ型レギュレータの電氣的構成を示すブロック図である。

【図9】図8に示すチョップパ型レギュレータの主要信号の波形を示す説明図である。

【図10】従来の電流モードパルス幅制御のチョップパ型レギュレータの電氣的構成を示すブロック図である。

【図11】図10に示すチョップパ型レギュレータの主要信号の波形を示す説明図である。

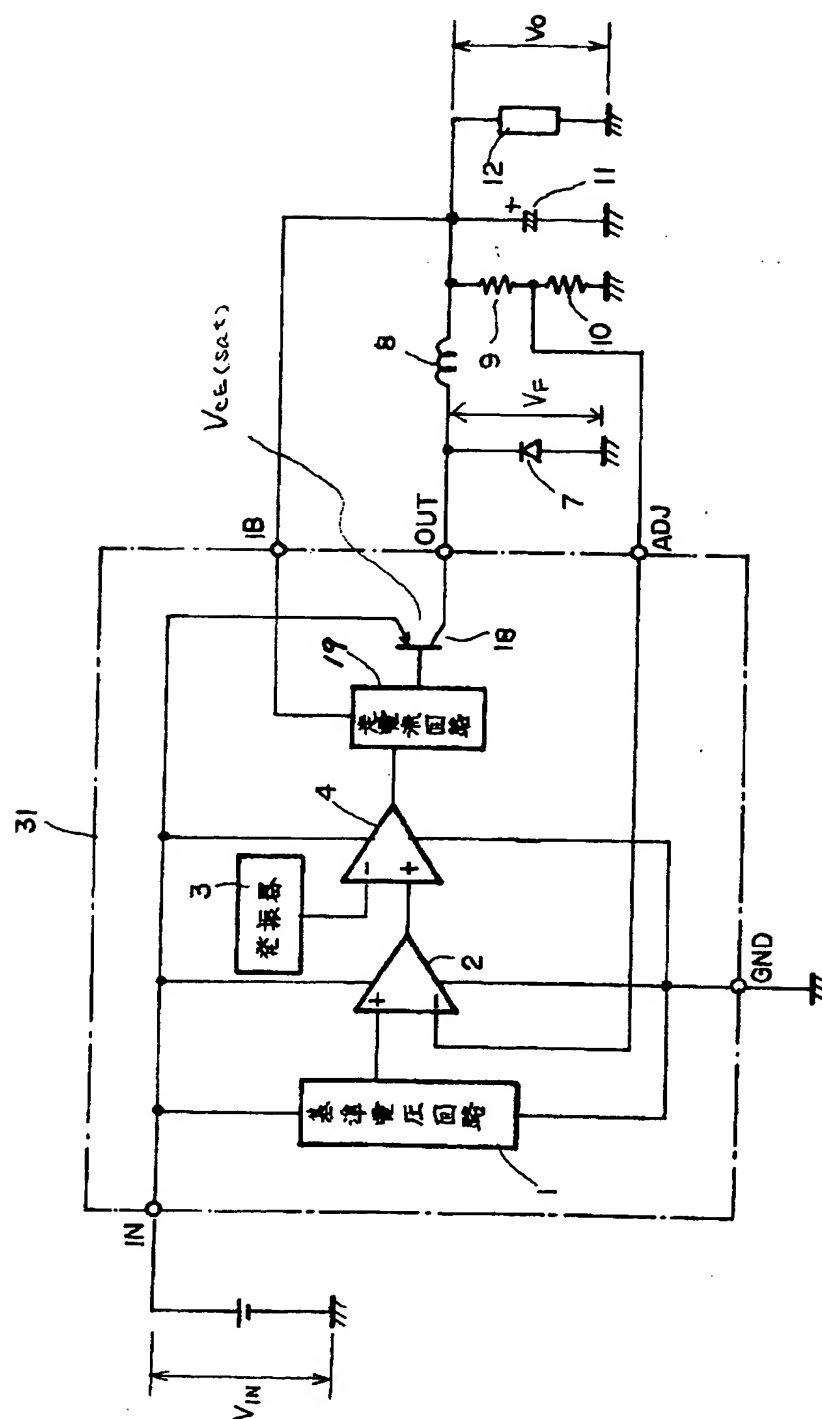
【図12】従来の他の電圧モードパルス幅制御のチョップパ型レギュレータの電氣的構成を示すブロック図である。

【符号の説明】

- 1 基準電圧回路
- 2 誤差増幅器
- 3 発振器
- 4 PWMコンパレータ
- 5 ドライブトランジスタ
- 7 キャッチダイオード
- 8 コイル
- 9, 10 抵抗
- 11 出力コンデンサ
- 12 負荷
- 14 フリップフロップ
- 15 電流検出増幅器
- 17 電流検出用抵抗
- 18 出力トランジスタ
- 19 定電流回路
- 31, 32 チョップパ型レギュレータ回路
- 39, 39' チョップパ型レギュレータIC
- 40 半導体チップ
- 41 トランジスタ部
- 42 制御部
- 44 金属フレーム
- 45, 58, GND 接地端子
- 46, 56, IN 入力端子
- 47, 55, OUT 出力端子
- 48, 57, IB ベース電流出力端子
- 49, 59, ADJ フィードバック端子
- 51 外装用樹脂 (パッケージ)
- 52 トランジスタチップ
- 53 ICチップ

(10)

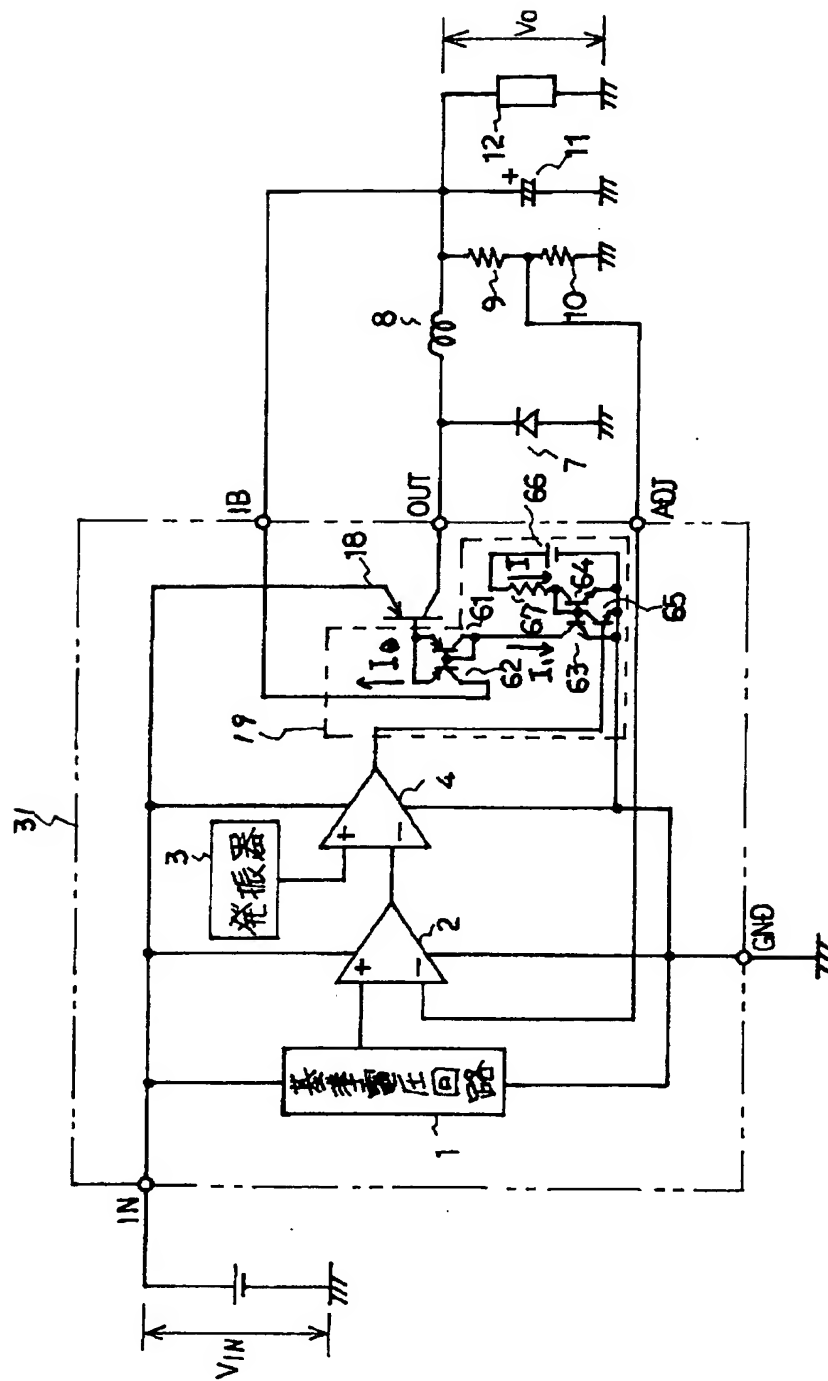
【図1】



BEST AVAILABLE COPY

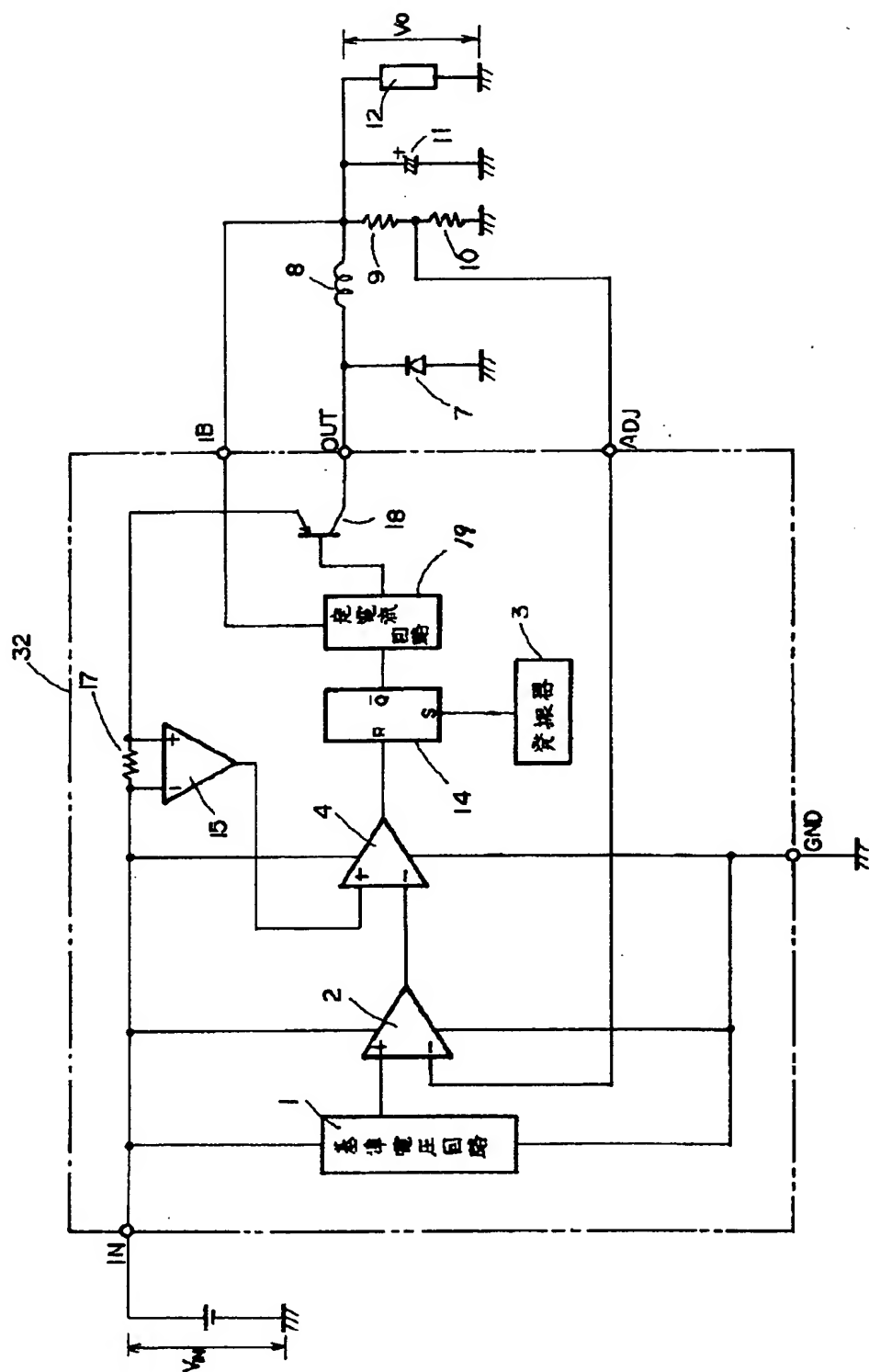
(11)

【図2】



(12)

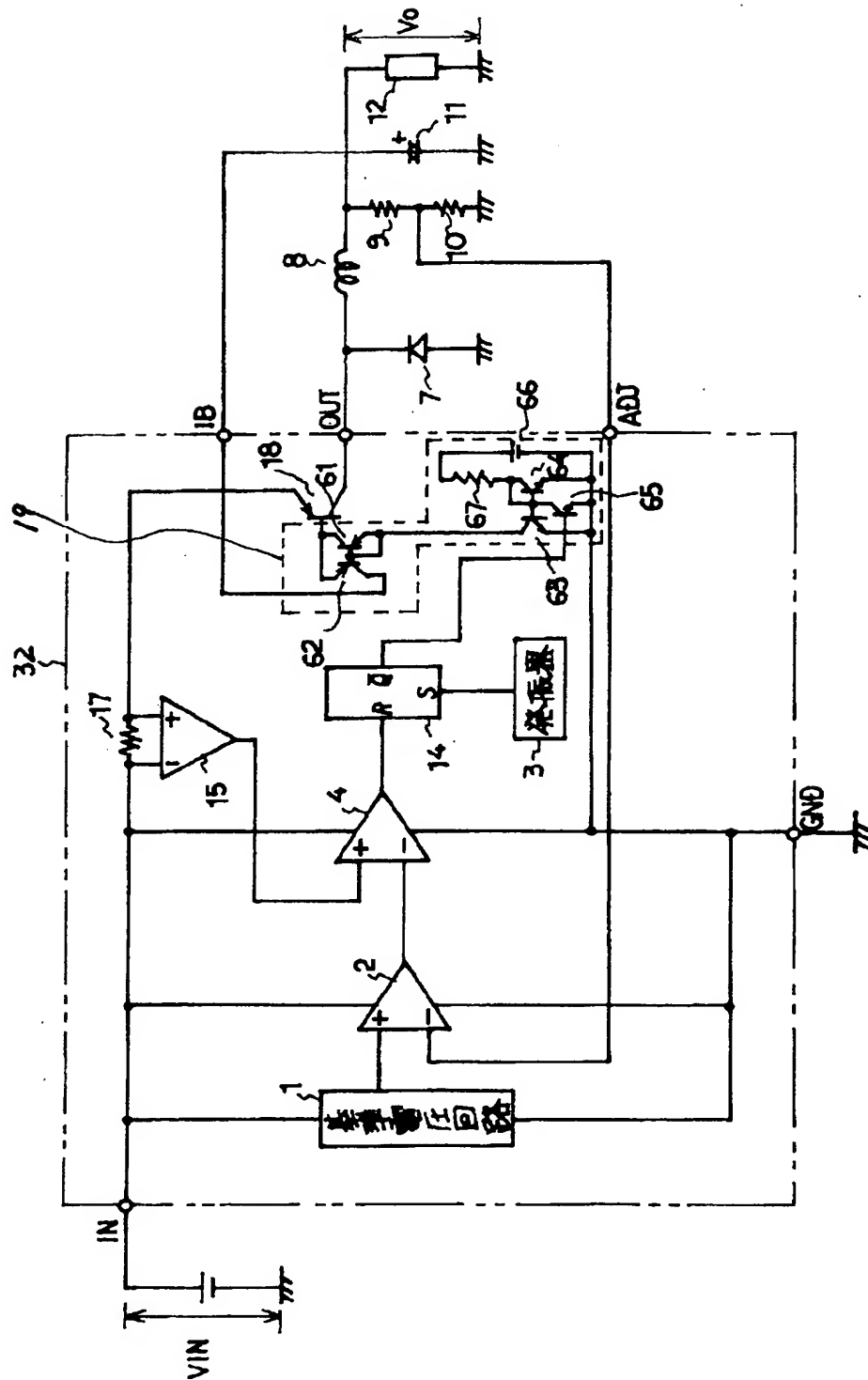
【図 3】





(13)

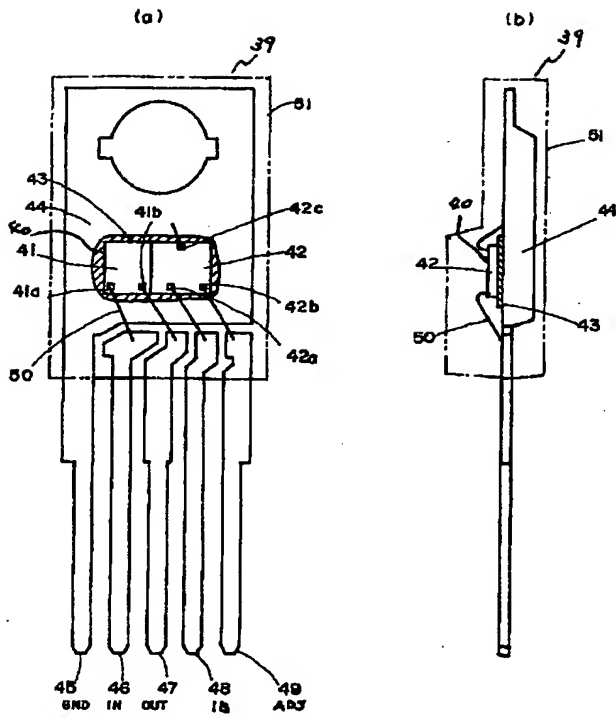
【図4】



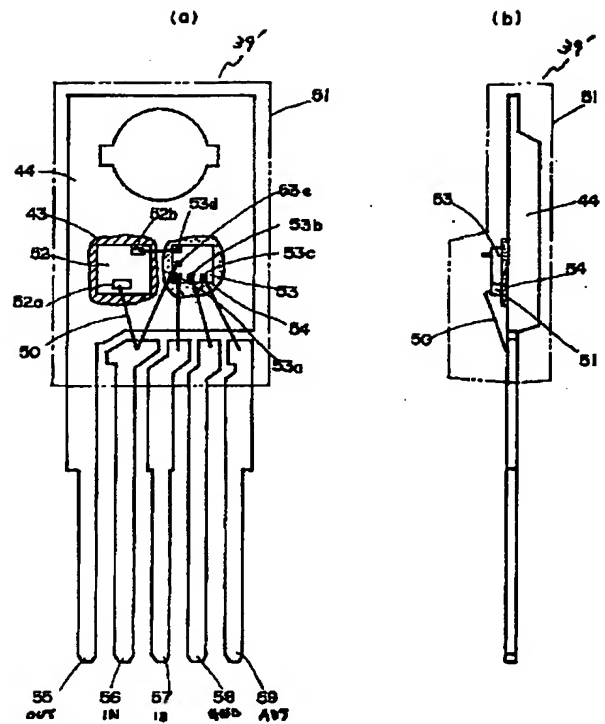
BEST AVAILABLE COPY

(14)

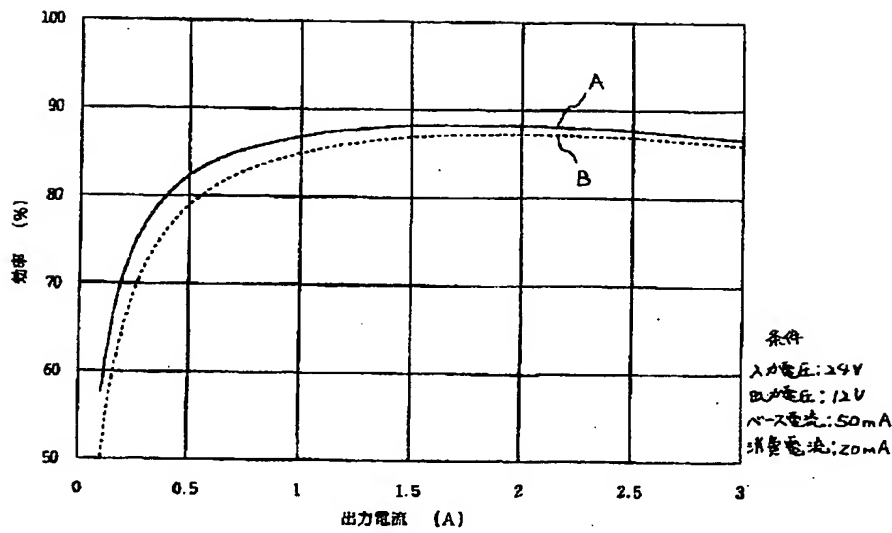
【図5】



【図6】



【図7】

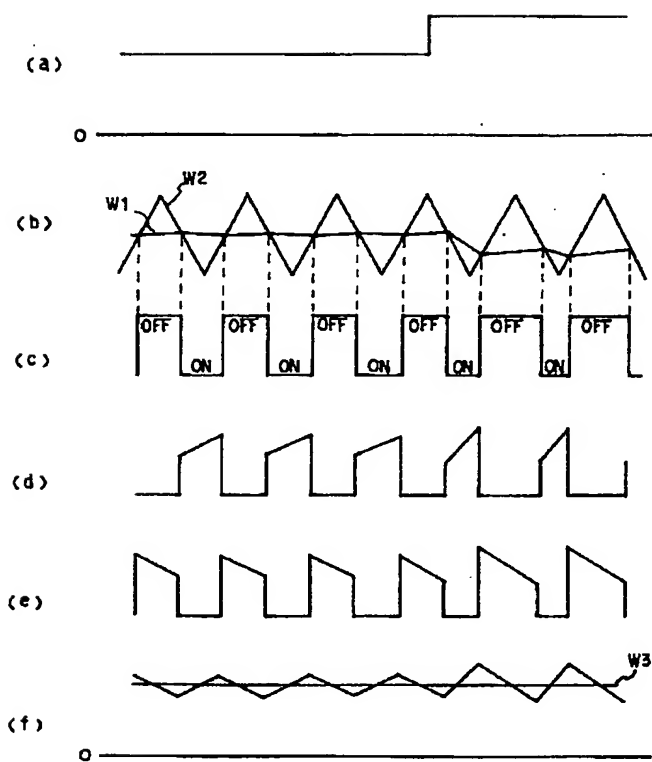


BEST AVAILABLE COPY

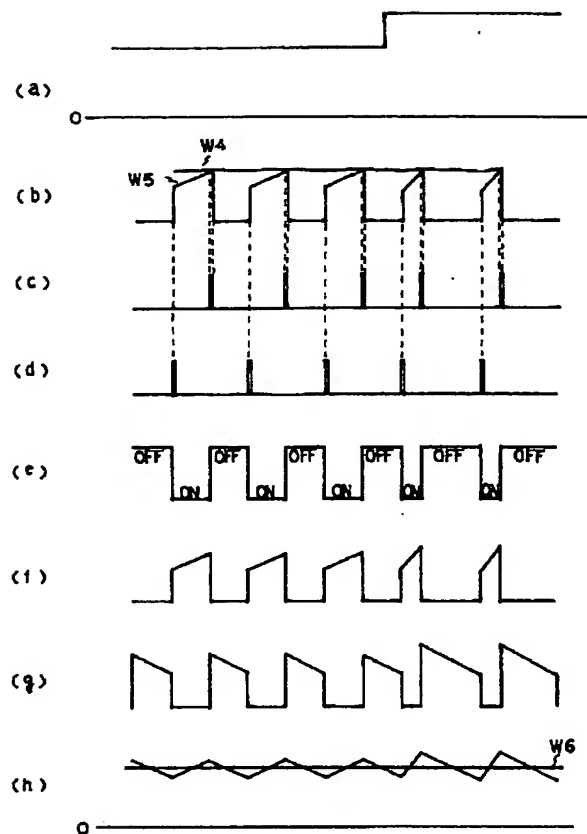


(16)

【図9】

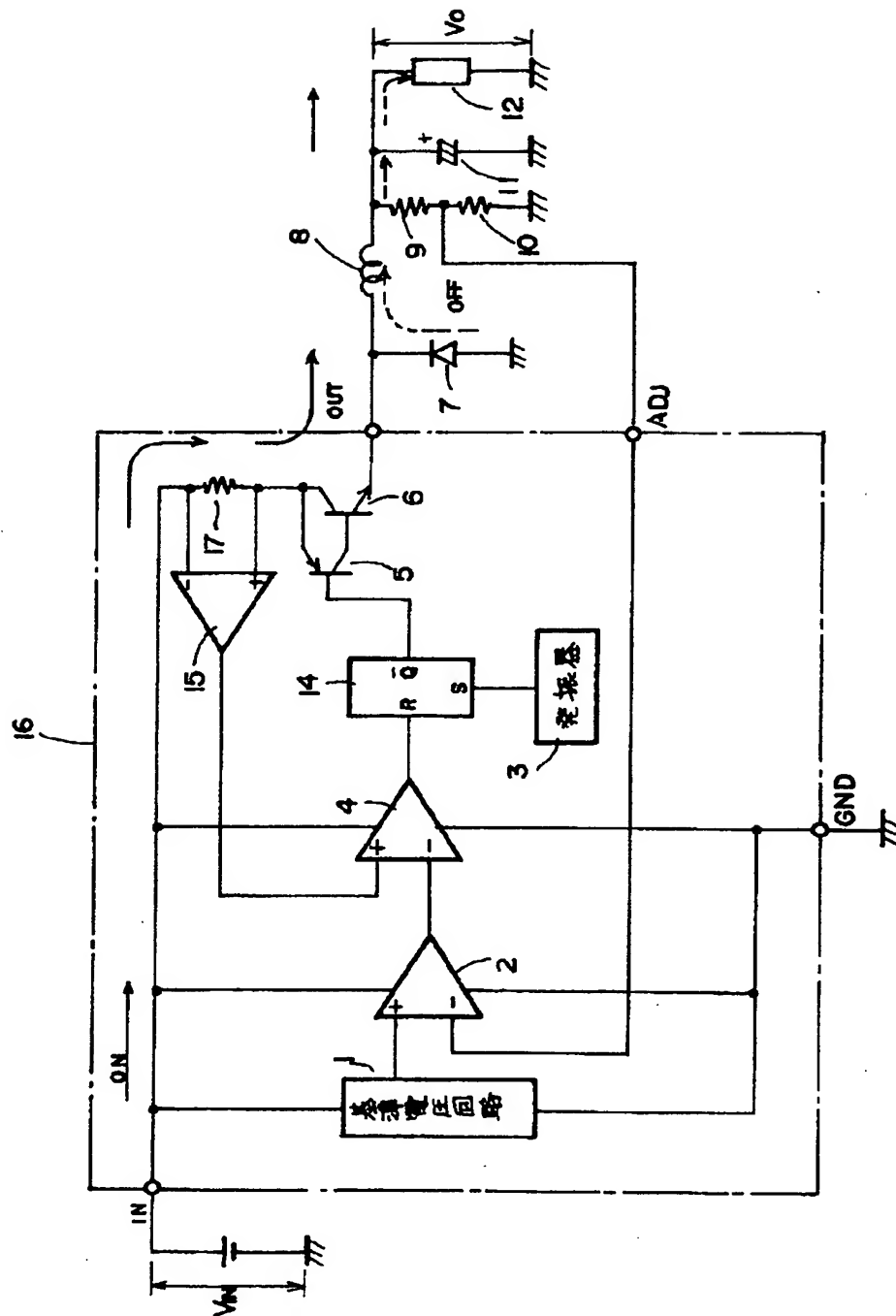


【図11】



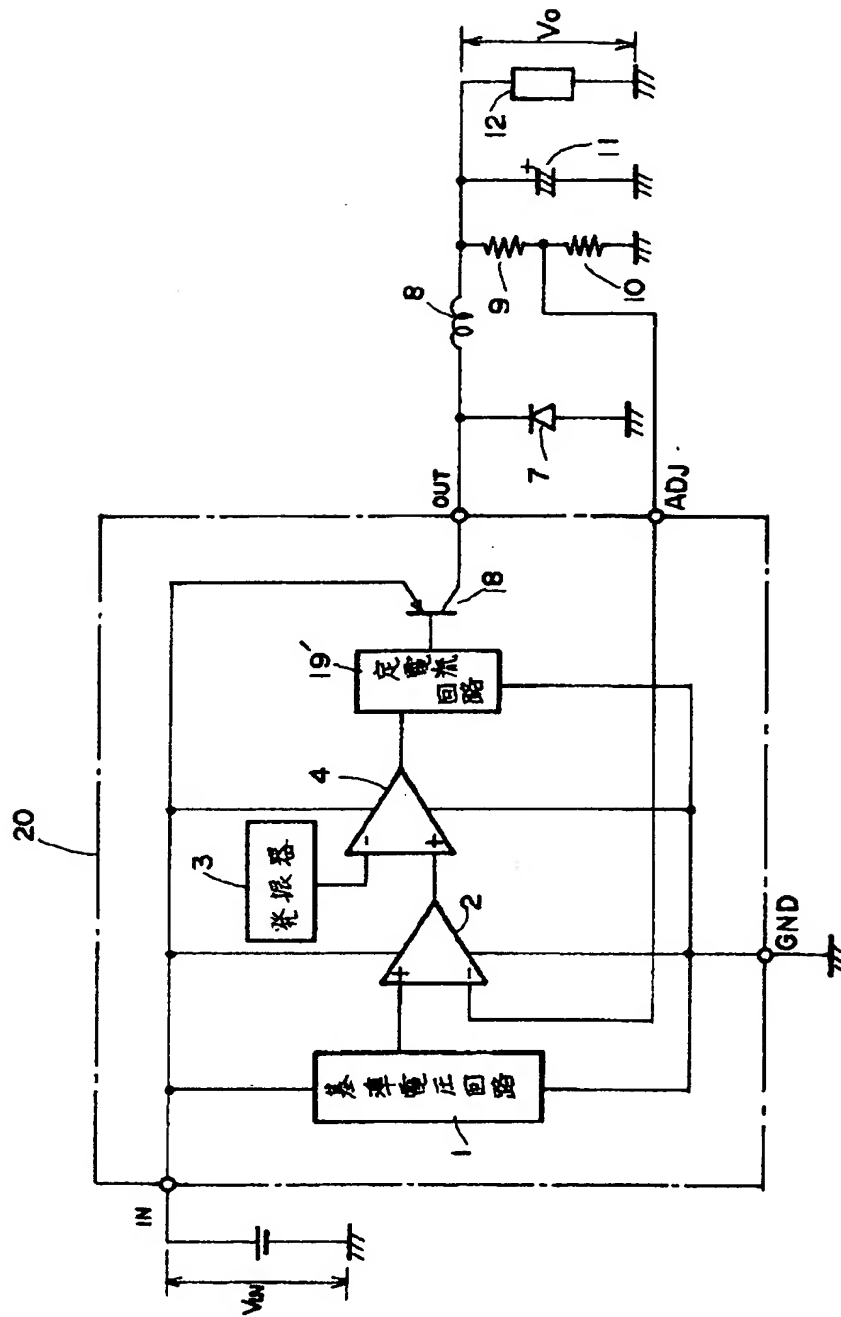
(17)

【図10】



(18)

【図12】



BEST AVAILABLE COPY

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成11年(1999)6月18日

【公開番号】特開平8-214541

【公開日】平成8年(1996)8月20日

【年通号数】公開特許公報8-2146

【出願番号】特願平7-237985

【国際特許分類第6版】

H02M 3/155

【F I】

H02M 3/155 S  
H

【手続補正書】

【提出日】平成10年3月12日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 PNPトランジスタからなる出力トランジスタと、該出力トランジスタのスイッチングを制御する制御部とを備え、基準電圧と出力電圧との電圧差に基づいて前記出力トランジスタのスイッチングを制御することにより、出力電圧を安定化するチョッパ型レギュレータ回路において、前記出力トランジスタのベースと接続され、該出力トランジスタに流れるベース電流を出力するベース電流出力端子を設けてなることを特徴とするチョッパ型レギュレータ回路。

【請求項2】 前記出力トランジスタのベースと前記ベース電流出力端子との間に定電流回路を設けてなることを特徴とする請求項1記載のチョッパ型レギュレータ回路。

【請求項3】 前記定電流回路が、前記基準電圧と前記出力電圧との電圧差と所定のパルス信号とを比較した結果に基づいて前記出力トランジスタのスイッチングを行う第1のトランジスタと、該スイッチングによって前記出力トランジスタが接続状態となるとときに基準電流が流れる第2のトランジスタと、該第2のトランジスタとカレントミラー構成となっており基準電流の所定倍の第1電流が流れる第3のトランジスタと、前記出力トランジスタのベースと前記第3のトランジスタとの間に接続され前記第1の電流が流れる第4のトランジスタと、該第4のトランジスタとカレントミラー構成となっており前記第1電流の所定倍の前記ベース電流が流れる第5のトランジスタとから構成されることを特徴とする請求項2

に記載のチョッパ型レギュレータ回路。

【請求項4】 請求項1から3のいずれか1項に記載のチョッパ型レギュレータ回路が集積化されて構成されるチョッパ型レギュレータICであって、

前記出力トランジスタと前記制御部とを集積して1チップ化してなる半導体チップ又は前記出力トランジスタと前記制御部をそれぞれ1チップ化してなる半導体チップと、該半導体チップが搭載され前記ベース電流出力端子を備えてなる金属フレームと、前記半導体チップを封止する外装用樹脂とを有してなることを特徴とするチョッパ型レギュレータIC。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】また、本発明の請求項2記載のチョッパ型レギュレータ回路は、前記出力トランジスタのベースと前記ベース電流出力端子との間に定電流回路を設けてなることを特徴とするものである。さらに、本発明の請求項3記載のチョッパ型レギュレータ回路は、前記定電流回路が、前記基準電圧と前記出力電圧との電圧差と所定のパルス信号とを比較した結果に基づいて前記出力トランジスタのスイッチングを行う第1のトランジスタと、該スイッチングによって前記出力トランジスタが接続状態となるとときに基準電流が流れる第2のトランジスタと、該第2のトランジスタとカレントミラー構成となっており基準電流の所定倍の第1電流が流れる第3のトランジスタと、前記出力トランジスタのベースと前記第3のトランジスタとの間に接続され前記第1の電流が流れる第4のトランジスタと、該第4のトランジスタとカレントミラー構成となっており前記第1電流の所定倍の前記ベース電流が流れる第5のトランジスタとから構成されることを特徴とするものである。

(2)

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】さらに、本発明の請求項4記載のチョッパ型レギュレータICは、前記出力トランジスタと前記制御部とを集積して1チップ化してなる半導体チップ又は前記出力トランジスタと前記制御部をそれぞれ1チップ化してなる半導体チップと、該半導体チップが搭載され前記ベース電流出力端子を備えてなる金属フレームと、前記半導体チップを封止する外装用樹脂とを有してなることを特徴とするものである。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】また、本発明の請求項2記載のチョッパ型レギュレータ回路は、前記出力トランジスタのベースと前記ベース電流出力端子との間に定電流回路を設けてなる構成なので、出力トランジスタがオン状態となると、該出力トランジスタのベース電流を引き込み、このベース電流を入力電圧の高低に変わりなく一定にすることが可能である。さらに、本発明の請求項3記載のチョッパ型レギュレータ回路によれば、請求項2記載のような定電流回路を実現することができる。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】さらに、本発明の請求項4記載のチョッパ型レギュレータICは、前記出力トランジスタと前記制御部とを集積して1チップ化してなる半導体チップ又は前記出力トランジスタと前記制御部をそれぞれ1チップ

化してなる半導体チップと、該半導体チップが搭載され前記ベース電流出力端子を備えてなる金属フレームと、前記半導体チップを封止する外装用樹脂とを有してなる構成なので、上記チョッパ型レギュレータ回路を1パッケージにすることができ、小型化を図ることができる。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0103

【補正方法】変更

【補正内容】

【0103】また、本発明の請求項2記載のチョッパ型レギュレータ回路によれば、前記出力トランジスタのベースと前記ベース電流出力端子との間に定電流回路を設けてなる構成なので、出力トランジスタがオン状態となると、該出力トランジスタのベース電流を引き込み、このベース電流を入力電圧の高低に変わりなく一定にすることが可能となる。これにより、ベース電流の必要以上の損失を防止することができる。さらに、本発明の請求項3記載のチョッパ型レギュレータ回路によれば、請求項2記載のような定電流回路を実現することができる。

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0104

【補正方法】変更

【補正内容】

【0104】さらに、本発明の請求項4記載のチョッパ型レギュレータICによれば、前記出力トランジスタと前記制御部とを集積して1チップ化してなる半導体チップ又は前記出力トランジスタと前記制御部をそれぞれ1チップ化してなる半導体チップと、該半導体チップが搭載され前記ベース電流出力端子を備えてなる金属フレームと、前記半導体チップを封止する外装用樹脂とを有してなる構成なので、上記チョッパ型レギュレータ回路を1パッケージにすることができ、小型化が図れる。